

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroyoshi MURATA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: DISPLAY DEVICE EQUIPPED WITH SRAM IN PIXEL AND DRIVING METHOD OF THE SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

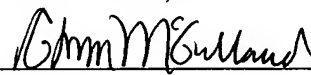
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2001-002631	January 10, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

C. Irvin McClelland
Registration Number 21,124



日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC826 U.S. PTO
10/033919
01/03/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2001年 1月10日

出 願 番 号

Application Number:

特願2001-002631

出 願 人

Applicant(s):

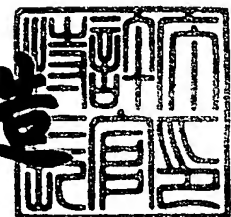
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年10月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3094654

【書類名】 特許願

【整理番号】 5JB00X004

【提出日】 平成13年 1月10日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 表示装置

【請求項の数】 3

【発明者】

【住所又は居所】 埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝
深谷工場内

【氏名】 村田 浩義

【発明者】

【住所又は居所】 埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝
深谷工場内

【氏名】 山崎 信生

【発明者】

【住所又は居所】 埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝
深谷工場内

【氏名】 木谷 正克

【発明者】

【住所又は居所】 埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝
深谷工場内

【氏名】 青木 良朗

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 マトリクス状に配置された信号線と走査線の各交点付近にスイッチ素子を介して接続された画素部、前記画素部に接離可能に接続された表示データ記憶用の記憶素子部、前記画素部を駆動するための信号線ドライバ及び走査線ドライバを備え、

前記信号線に供給される多階調の表示データに含まれる白又は黒に相当する二値データを前記記憶素子部に記憶し、前記記憶素子部に記憶した二値データを前記画素部に供給して静止画表示を行うことを特徴とする表示装置。

【請求項 2】 マトリクス状に配置された信号線と走査線の各交点付近にスイッチ素子を介して接続された画素部、前記画素部に接離可能に接続された表示データ記憶用の記憶素子部、前記画素部を駆動するための信号線ドライバ及び走査線ドライバを備えた表示装置において、

所定の閾値電圧を保持し、前記多階調の表示データがもつアナログ電位を前記閾値電圧で選別してハイレベル又はローレベルの二値データに変換する閾値キャンセル回路を設け、

この閾値キャンセル回路で変換された前記二値データを前記記憶素子部に記憶し、前記記憶素子部に記憶した二値データを前記画素部に供給して静止画表示を行うことを特徴とする表示装置。

【請求項 3】 前記閾値キャンセル回路は、前記閾値電圧を保持する保持手段と、この保持手段に任意の閾値電圧を設定する設定手段と、前記閾値電圧によりアナログ電位の表示データをデジタル電位の二値データに変換する変換手段とを具備し、前記画素部と前記記憶素子部との間に挿入されることを特徴とする請求項 2 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、SRAMを内蔵したアクティブマトリクス型の表示装置に係り、特

に、S R A M部の回路構成に関する。

【 0 0 0 2 】

【従来の技術】

従来よりT F T（薄膜トランジスタ）を用いたアクティブマトリクス型液晶表示装置は、軽量、薄型、低消費電力等の特長を活かし、テレビ、携帯情報端末、或いはグラフィックディスプレイ等の表示素子として盛んに利用されている。最近では従来のアモルファスシリコンに比べて電子移動度が高いポリシリコンT F Tを比較的低温のプロセスで形成する技術が確立したことによりT F Tの小型化が可能となり、また不純物ドーピングプロセスの導入によって相補型トランジスタ（C M O Sトランジスタ）の形成が可能になったことなどから、ガラス基板上に駆動回路を一体形成した駆動回路内蔵型の液晶表示装置も出現している。また、C M O S回路を形成できることを利用して、一画素内に液晶印加電圧を静的に保持しうる、いわゆるS R A Mを内蔵した液晶表示装置も開発されている。

【 0 0 0 3 】

以後、動画や中間調表示などの通常駆動時に用いる通常の映像信号を表示データといい、待機時（S R A M駆動時）に用いる静止画用（白黒表示）の映像信号を二値データと呼ぶ。

【 0 0 0 4 】

通常の液晶表示装置では、静止画表示を行う際にも常に表示データや制御信号などを表示フレーム毎に与えなければならないため、各ドライバ回路、システム回路（グラフィックコントローラ）を常に動作させなければならず、消費電力を低減させることが難しかった。これに対して、上述のS R A Mを内蔵した液晶表示装置によれば、静止画表示を行うときS R A Mに保持されている二値データで表示を行い、この間はドライバ回路、システム回路を待機状態とすることにより消費電力を低減させることができるため、特にバッテリー駆動されることが多い携帯情報機器の省電力化に貢献することができる。

【 0 0 0 5 】

図 7 及び図 8 は、S R A Mを内蔵する画素の従来例を示した回路図である。図 7 の従来例では、図示しないソースドライバの出力が信号線 7 2 を通して通常画

素部 7 3 に供給され、同じく図示しない S R A M ドライバの出力が S R A M 書き込み線 7 1 を通して S R A M 部 7 4 に供給されるように構成されている。この場合は、S R A M 書き込み線 7 1 と信号線 7 2 とが別に設けてあり、ドライバ回路としても、S R A M ドライバとソースドライバ（信号線駆動回路）が必要となる。図 8 の従来例では図 7 の S R A M 書き込み線 7 1 は無いが、上記と同様にドライバ回路として S R A M ドライバとソースドライバが別々に必要となる。そして、両ドライバで信号線 7 2 を共用するため、スイッチ 7 5、7 6 が設けられ、通常駆動時と S R A M 駆動時で信号線 7 2 に供給するドライバ回路を選択する構成としている。S R A M 駆動時には、スイッチ 7 5 が o f f で、スイッチ 7 6 が o n になり、S R A M ドライバの出力が信号線 7 2 及び通常画素部 7 3 を通して S R A M 部 7 4 に供給される。

【0 0 0 6】

【発明が解決しようとする課題】

上記のように、従来の S R A M を内蔵した液晶表示装置では、ソースドライバの他に S R A M ドライバが必要となるために、製造コストが上昇するという問題がある。

【0 0 0 7】

本発明は、S R A M を内蔵した表示装置において、外部回路の部材コストの低減を実現することを目的とする。

【0 0 0 8】

【課題を解決するための手段】

上記目的を達成するために、請求項 1 の発明は、マトリクス状に配置された信号線と走査線の各交点付近にスイッチ素子を介して接続された画素部、前記画素部に接離可能に接続された表示データ記憶用の記憶素子部、前記画素部を駆動するための信号線ドライバ及び走査線ドライバを備え、前記信号線に供給される多階調の表示データに含まれる白又は黒に相当する二値データを前記記憶素子部に記憶し、前記記憶素子部に記憶した二値データを前記画素部に供給して静止画表示を行うことを特徴とする表示装置である。

【0 0 0 9】

また請求項2の発明は、マトリクス状に配置された信号線と走査線の各交点付近にスイッチ素子を介して接続された画素部、前記画素部に接離可能に接続された表示データ記憶用の記憶素子部、前記画素部を駆動するための信号線ドライバ及び走査線ドライバを備えた表示装置において、所定の閾値電圧を保持し、前記多階調の表示データがもつアナログ電位を前記閾値電圧で選別してハイレベル又はローレベルの二値データに変換する閾値キャンセル回路を設け、この閾値キャンセル回路で変換された前記二値データを前記記憶素子部に記憶し、前記記憶素子部に記憶した二値データを前記画素部に供給して静止画表示を行うことを特徴とする。

【0010】

さらに請求項3の発明は、請求項2において、前記閾値キャンセル回路は、前記閾値電圧を保持する保持手段と、この保持手段に任意の閾値電圧を設定する設定手段と、前記閾値電圧によりアナログ電位の表示データをデジタル電位の二値データに変換する変換手段とを具備し、前記画素部と前記記憶素子部との間に挿入されることを特徴とする。

【0011】

好ましい形態として、前記表示データ記憶用の記憶素子部、及び前記閾値キャンセル回路に含まれる変換手段をCMOS回路で構成する。

【0012】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。図1は、第1の実施形態に係る液晶表示装置の構成を示したブロック図である。液晶表示装置は、通常画素部200、記憶素子部としてのSRAM部100、信号線11、走査線16、SRAM制御線17、ソースドライバ（信号線ドライバ）18及び図示しないゲートドライバ（走査線ドライバ）などを備えている。

【0013】

本例の画素は、通常画素部200とSRAM部100の2つのブロックから構成される。以後、SRAM部100の形成された画素をSRAM内蔵画素、SRAM部のない画素を通常画素と呼ぶ。また、SRAMに保持されている二値デー

タによって表示することをSRAM駆動、信号線に供給された通常の表示データによって表示を行うことを通常駆動と呼ぶことにする。

【0014】

図2は、図1に示した通常画素部200とSRAM部100の具体的な構成例を示した回路図である。ソースドライバ(18)からの信号線11には、画素TFT12を介して、画素を形成する液晶容量CとスイッチSW-A、SW-Bの端子(1)が接続されている。液晶容量Cを形成する他方の電極は対向電極13である。また、スイッチSW-Aの端子(2)はインバータ14の入力側に接続され、インバータ14の出力側はインバータ15の入力側とSW-Bの端子(2)に接続されている。さらにインバータ15の出力側はスイッチSW-Cを介してインバータ14の入力側に接続されている。スイッチSW-A、SW-B、SW-C及びインバータ14、15はSRAM部100を形成し、残りは通常画素部200を形成している。画素TFT12には、図示しないゲートドライバからの走査線16(図1)が接続され、この走査線16に供給される走査信号によりon/offされる。また前記スイッチSW-A、SW-B及びSW-Cは、SRAM制御線17(図1)に供給されるハイ又はローレベル信号により制御される。

【0015】

次に、本実施形態の動作について説明する。SRAM内蔵画素を通常駆動する場合は、スイッチSW-A及びSW-Bをoffにして、通常画素部200とSRAM部100とを切り離し、画素TFT12のon/offによって液晶駆動を行う。すなわち、図示しないゲートドライバから走査線16を通して走査信号を供給することにより画素TFT12をon/offし、ソースドライバ18から信号線11を通じて液晶を多階調表示させるためのアナログ電位の表示データを液晶容量Cに印加して表示を行う。

【0016】

SRAM駆動する場合は、SRAM駆動に切り替わる直前の書き込みモードにおいて、図3に示すように、スイッチSW-Aをon、SW-Bをoffとし、画素TFT12、スイッチSW-Cをon/offすると共に、SRAM部10

0 のインバータ 1 4 の入力電圧閾値を考慮して、ソースドライバ 1 8 から黒に相当する電圧（例えば 9 V）又は白に相当する電圧（例えば 5. 5 V）を二値データとして出力する。そして、画素 T F T 1 2 を通して二値データを S R A M 部 1 0 0 に供給することにより、インバータ 1 4、1 5 に白黒の二値データを保持させる。なお、ソースドライバ 1 8 から信号線 1 1 に供給される二値データは、ソースドライバ 1 8 に表示データを供給している図示しないシステム回路において、表示データをデジタルからアナログに変換する D / A コンバータの出力を強制的に 9 V 又は 5. 5 V に設定することで得られる。

【 0 0 1 7 】

その後の S R A M 駆動時には、図 3 に示すように、画素 T F T 1 2 は o f f に固定、またスイッチ S W - C は o n に固定し、2 段インバータ 1 4、1 5 の出力をスイッチ S W - A、S W - B で交互に選択して、液晶容量 C へ電圧を与える。これと同時に対向電極 1 3 も極性反転駆動を行い、二値データの信号電圧（図 3 の“画素”）と対向電極電圧（図 3 の“対向”）の位相関係を周期的に交互に切り替えて白／黒の二値表示を行う。

【 0 0 1 8 】

本実施形態によれば、S R A M への書き込みモードでは S R A M 部 1 0 0 のインバータ 1 4 の入力電圧閾値を考慮し、多階調表示データのうちの黒に相当する電圧（例えば 9 V）又は白に相当する電圧（例えば 5. 5 V）を S R A M 部 1 0 0 に書き込むため、S R A M への書き込みをソースドライバ 1 8で行うことができ、S R A M ドライバと S R A M 書き込み線を省略することができる。このように、信号線 1 1 を共有することに加え、ドライバ回路も通常駆動時と S R A M 駆動時で共有する構成となっているため、内蔵の S R A M を駆動する回路の構成を大幅に単純化して、製造コストの低減や歩留まりの向上を図ると共に、回路規模の増大を抑制して高精細化と狭額縁化を実現することができる。

【 0 0 1 9 】

図 4 は、第 2 の実施形態に係る液晶表示装置の構成を示した回路図である。ただし、第 1 の実施形態と同一部分は同一符号を付して説明する。本例は、通常画素部 2 0 0 と S R A M 部 1 0 0 との間に閾値キャンセル回路 3 0 0 を挿入した構

成となっている。また、これに伴い制御線 X 1、X 2 と基準電圧線 V r e f が設けられている。

【 0 0 2 0 】

閾値キャンセル回路 3 0 0 は、閾値電圧を保持する保持手段としてのコンデンサ 2 2、後述する閾値電圧によりアナログ電位の表示データをデジタル電位の二値データに変換する変換手段としてのインバータ 2 3、このインバータ 2 3 の入力側と出力側を接離するループスイッチ 2 4、及び基準電圧 V r e f をコンデンサ 2 2 に入切することでコンデンサ 2 2 に所定の閾値電圧を設定する設定手段としてのスイッチ 2 5 で構成されている。インバータ 2 3（及び 1 4、1 5）には、ハイレベルの電圧として S V D D が、またローレベルの電圧として例えば G N D 電位が与えられている。制御線 X 1 はスイッチ 2 5 とループスイッチ 2 4 にも接続されており、これらスイッチ回路はハイレベル又はローレベルに制御される。スイッチ S W - A 1、同 S W - A 2 は、図 2 の S W - A が 2 つに分かれたものであり、制御線 X 2 により同時に o n / o f f 制御される。S P O L A、S P O L B は S R A M 駆動時に極性反転を行うための制御線である。図 4 に示す制御線 X 1、X 2、S P O L A 及び S P O L B は、図 1 の S R A M 制御線 1 7 に相当する。

【 0 0 2 1 】

次に、本実施形態の動作について説明する。H コモン反転駆動を行った場合、1 水平ライン上に存在する各画素について、対向電圧がハイレベルの時にデジタルの二値データに変換を行ったか、ローレベルの時に二値データへの変換を行ったかで動作が異なる。

【 0 0 2 2 】

まず、対向電圧がハイレベルの時にアナログ電位をデジタルの二値データに変換を行った場合の動作を図 5 のタイムチャートを参照して説明する。通常動作の最後の 1 フレームにおいて、走査線 1 6 がハイレベルで画素 T F T 1 2 が o n の時、信号線 1 1 から画素 T F T 1 2 を通じて通常の表示データが通常画素部 2 0 0 内に入力される。この時、図 5 に示すように、対向電圧（C O M）がハイレベルの時に制御線 X 1 がハイレベルになると、スイッチ 2 5 が o n になり、且つル

ープスイッチ24がonになって、インバータ23の入力側と出力側を接続する。これにより、コンデンサ22に基準電圧線21を通じてVrefが印加され、コンデンサ22に前記Vrefで決まる閾値電圧が保持される。その後、制御線X1がローレベルに戻って、スイッチ25がoffになり、ループスイッチ24がoffになっても、閾値電圧はコンデンサ22に保持されたままになる。

【0023】

続いて、制御線X2が図5に示すようにハイレベルになると、スイッチSW-A1とスイッチSW-A2がonになるため、画素側から表示データがコンデンサ22に入力される。この時、入力された表示データがコンデンサ22に保持されている閾値電圧よりも高いと、インバータ23の入力側がハイレベルになるため、インバータ23の出力側はローレベルになり、このローレベルの電圧がインバータ14側から入力され、インバータ14、15にそれぞれ電位レベルの異なる二値データとして保持される。一方、映像信号電圧がコンデンサ22に保持されている閾値よりも低いと、インバータ23の入力側がローレベルになるため、インバータ23の出力側はハイレベル(SVDD)になり、このハイレベルの電圧がインバータ14側から入力され、インバータ14、15にそれぞれ電位レベルの異なる二値データとして保持される。このように、閾値キャンセル回路300では、多階調の表示データがもつアナログ電位が閾値電圧で選別され、ハイレベル又はローレベルの二値データに変換される。

【0024】

その後、SRAM駆動モードに移行するが、このSRAM駆動の期間中についても、1フレーム毎に二値データの信号電圧と対向電極電圧の位相関係を周期的に交互に切り替える極性反転駆動を行っている。SRAM駆動モードにおいて、走査線16がローレベルになると、スイッチSW-C2がonする。ここで、対向電圧(COM)がローレベル、すなわちアナログデータからデジタル二値データへの変換時と対向電極電位が逆極性の場合、SPOLBがハイレベルになり、SW-C1がonになるため、インバータ15の出力側の電圧がSW-C2、SW-C1を通じて液晶容量Cに印加され、例えば白が表示される。また次のフレームで対向電圧がハイレベル、すなわちアナログデータからデジタル二値データ

への変換時と対向電極電位が同極性となると、S P O L Aがハイレベルになり、S W - Bがo nになるため、S W - Bを通じてインバータ14の出力側の電圧が液晶容量Cに印加され、ひとつ前のフレームと同様、白が表示される。

【 0 0 2 5 】

図6は、対向電圧がローレベルの時に二値データへの変換を行った場合の動作を示したタイムチャートである。この場合も、対向電圧がハイレベルの時に二値データへの変換を行った場合の動作と同様であるが、S P O L AとS P O L Bによる制御が異なる。すなわち、S R A M駆動モードにおいて対向電圧がローレベルの時、これは二値データへの変換時と同極性であるため、S P O L Aによりインバータ14の出力側の電圧を液晶容量Cに印加する。また、次のフレームで対向電圧がハイレベルになると、これは二値データへの変換時と逆極性となるため、S P O L Bによりインバータ15の出力側の電圧を液晶容量Cに印加する。

【 0 0 2 6 】

上述のように、S R A M駆動時の対向電極電位 (C O M) が、アナログデータからデジタル二値データへの変換時と同極性の場合、S P O L Aによりデジタルデータを取り出し、またアナログデータからデジタル二値データへの変換時と逆極性の場合、S P O L Bによりデジタルデータを取り出し、液晶容量Cに印加する。このように、S P O L A及びS P O L Bを対向電極の極性と対応させて制御することにより、通常駆動の最終フレームにおける表示情報を、S R A M駆動期間中保持することができる。

【 0 0 2 7 】

本実施形態によれば、通常画素部200とS R A M部100との間に閾値キャンセル回路300を挿入して、そのコンデンサ22に保持させる閾値電圧を前記白と黒の中間の値とし、この閾値電圧よりも高い電圧をインバータ23により例えば黒のデジタル電位 (二値データ) としてS R A M部100に保持し、前記閾値電圧より低い電圧をインバータ23により例えば白のデジタル電位 (二値データ) としてS R A M部100に保持することができる。このため、回路を構成する素子のバラツキに係わらず、S R A Mへの書き込み時に通常駆動のアナログ電位の表示データを用いることができ、S R A Mへの書き込みも確実且つ安定して

行うことができる。

【 0 0 2 8 】

【発明の効果】

以上説明したように、請求項 1 の発明によれば、SRAMドライバとSRAM書き込み線を省略することができるため、SRAMを内蔵する画素の回路構成を大幅に単純化して、製造コストの低減や歩留まりの向上を図ることができる。また素子数や配線数など回路規模の増大を抑制して、高精細化と狭額縁化を実現することができる。

【 0 0 2 9 】

また、請求項 2 及び 3 の発明によれば、SRAMドライバを省略することができるだけでなく、多階調の表示データがもつアナログ電位をデジタル電位の二値データに変換するようにしたため、回路を構成する素子のバラツキに係わらず、SRAMへの書き込み時に通常駆動のアナログ電位の表示データを用いることができ、SRAMへの書き込みも確実且つ安定して行うことができる。また、SRAM用のデジタルデータの書き込みを行う必要がなくなる。

【図面の簡単な説明】

【図 1】

第 1 の実施形態に係る液晶表示装置の構成を示したブロック図。

【図 2】

図 1 に示した通常画素部とSRAM部の具体的な構成例を示した回路図。

【図 3】

図 1 の装置の各モードでの動作を説明するための説明図。

【図 4】

第 2 の実施形態に係る液晶表示装置の構成を示したブロック図。

【図 5】

SRAM部への書き込み動作とSRAM駆動動作を示したタイムチャート。

【図 6】

SRAM部への書き込み動作とSRAM駆動動作を示したタイムチャート。

【図 7】

従来の S R A M を内蔵する画素の構成例を示した回路図。

【図 8】

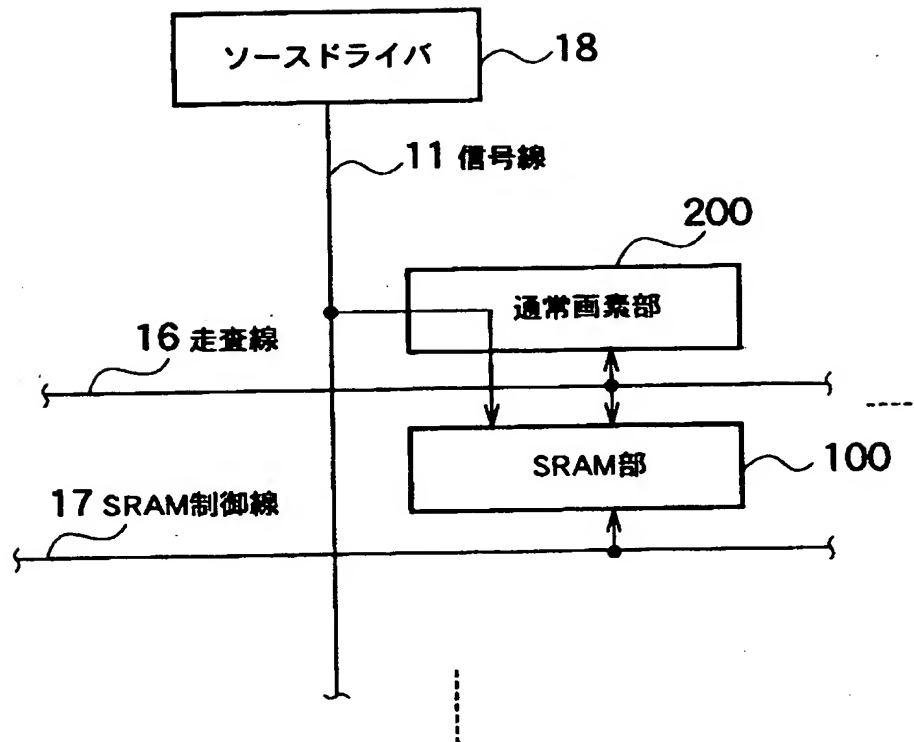
従来の S R A M を内蔵する画素の他の構成例を示した回路図。

【符号の説明】

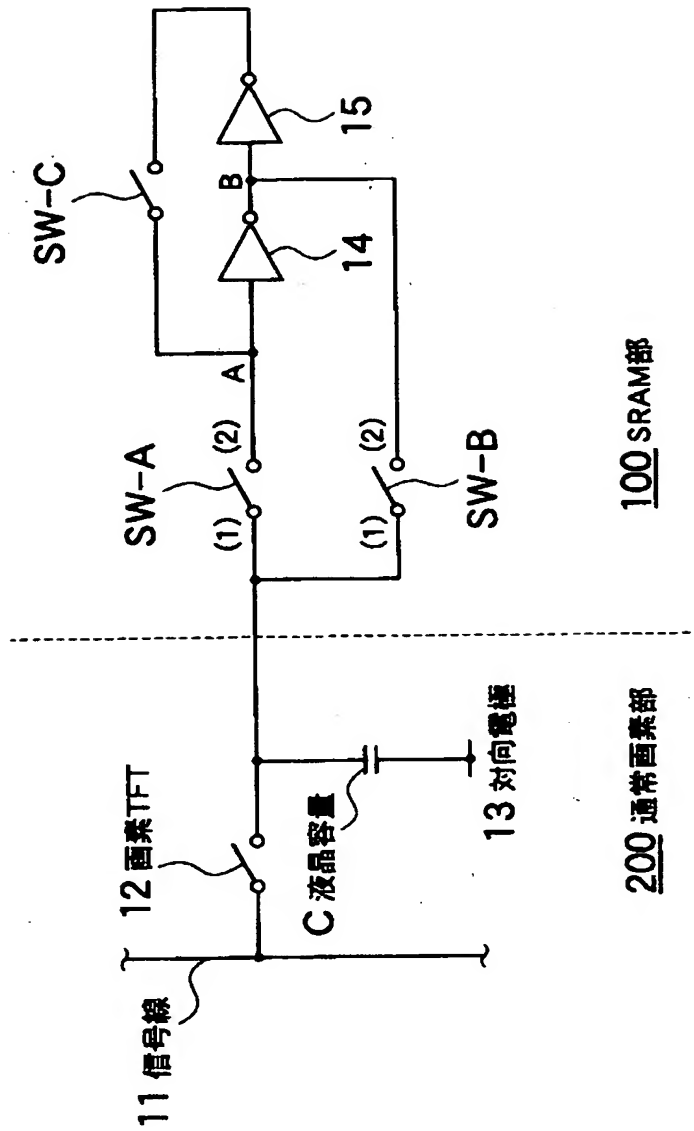
1 1 …信号線、1 2 …画素 T F T、1 3 …対向電極、1 4, 1 5 …インバータ、1 6 …走査線、1 7 …S R A M 制御線、1 8 …ソースドライバ、2 1 …基準電圧線、2 2 …コンデンサ、2 3 …インバータ、2 4 …ループスイッチ、2 5, S W - A, S W - A 1, S W - A 2, S W - B, S W - C, S W - C 1, S W - C 2 …スイッチ、1 0 0 …S R A M 部、2 0 0 …通常画素部、3 0 0 …閾値キャンセル回路、C …液晶容量

【書類名】 図面

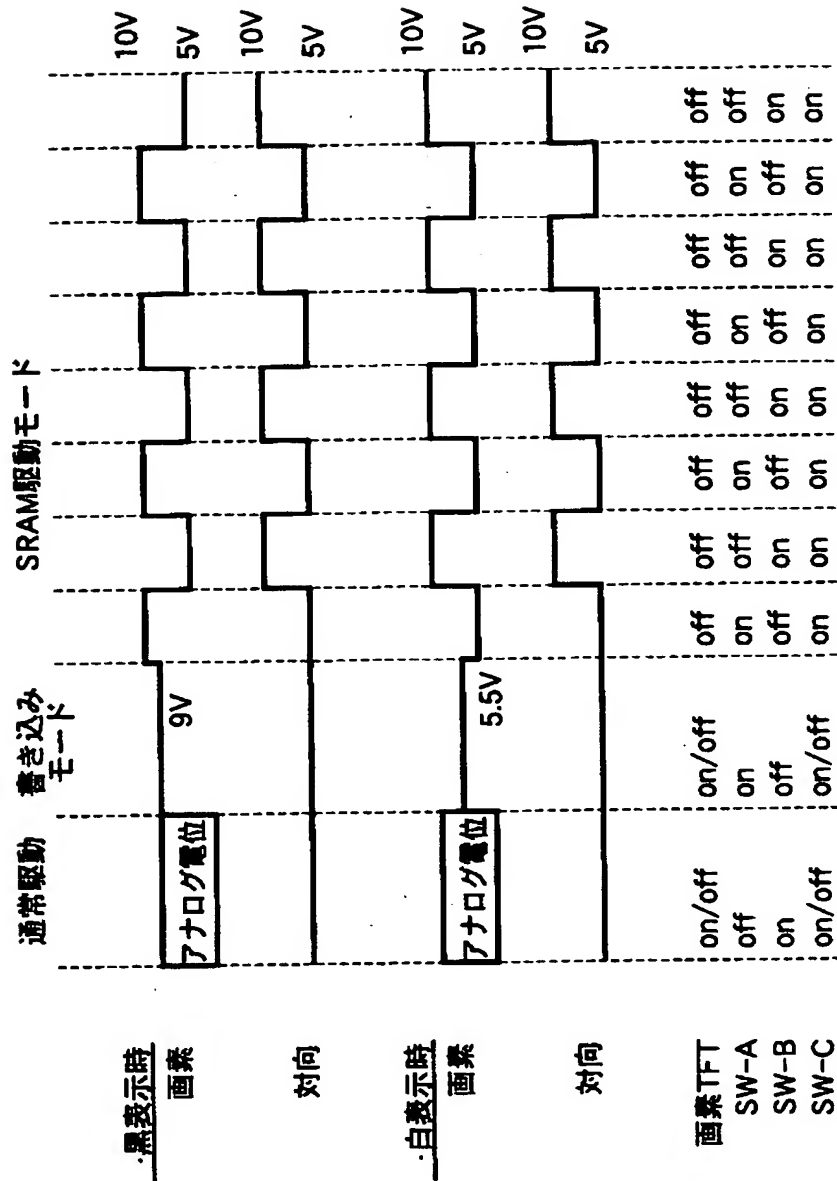
【図1】



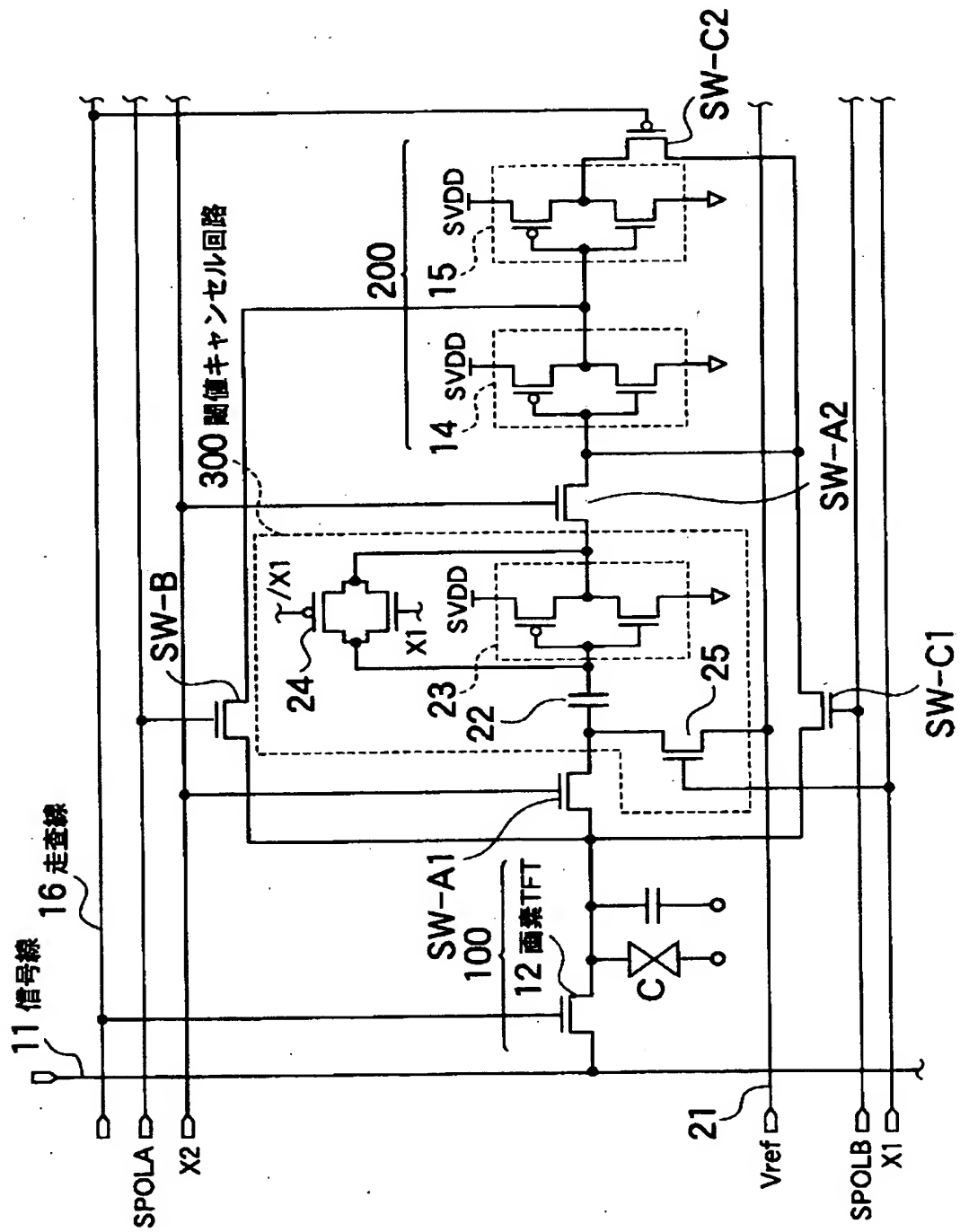
【図 2】



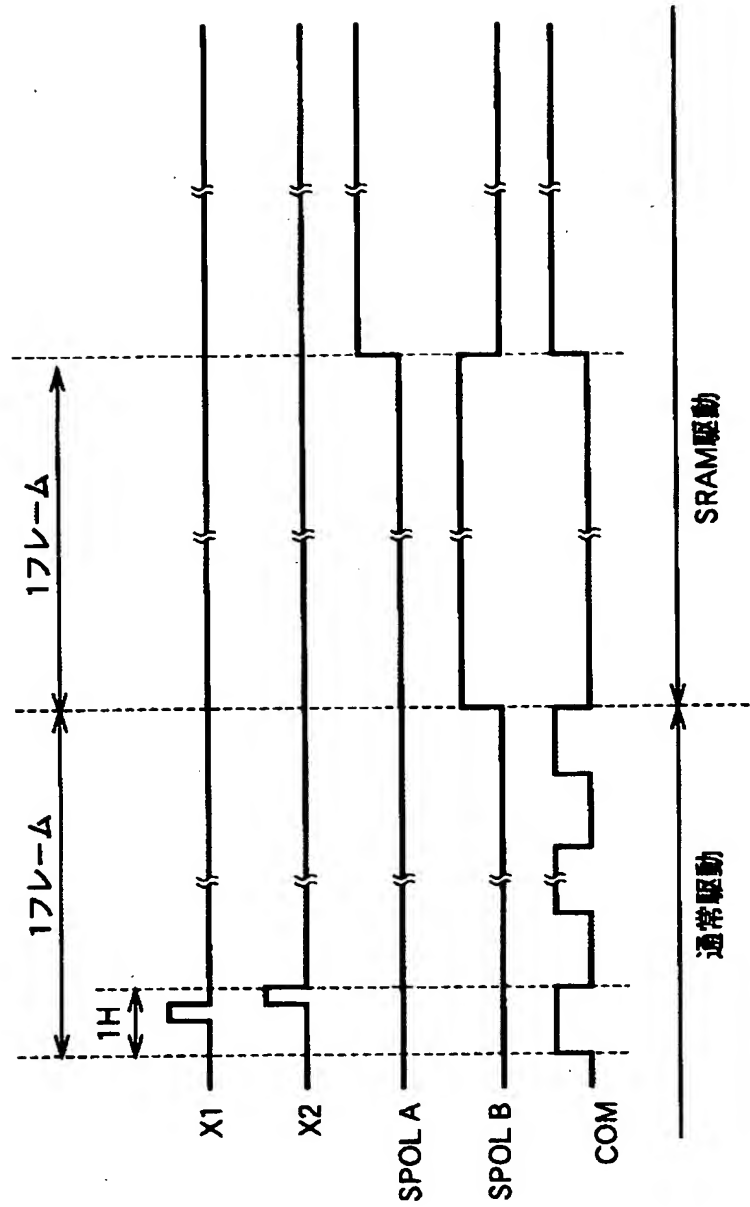
【図3】



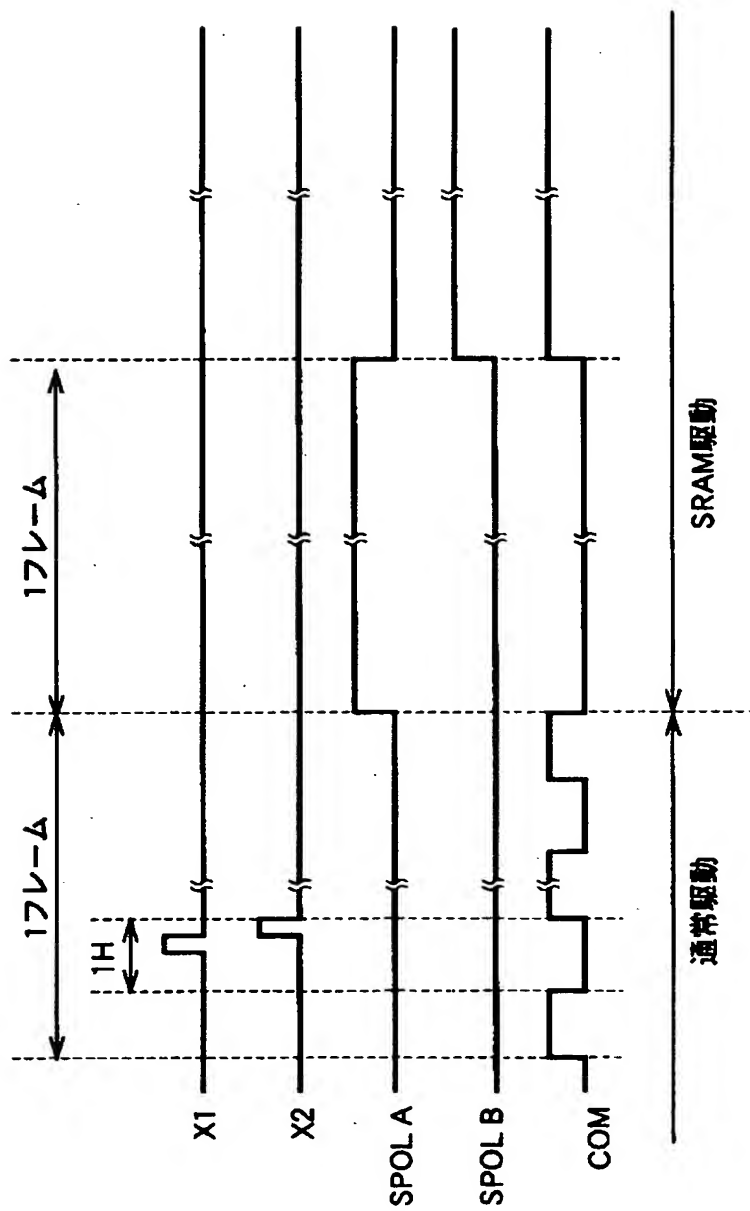
【図4】



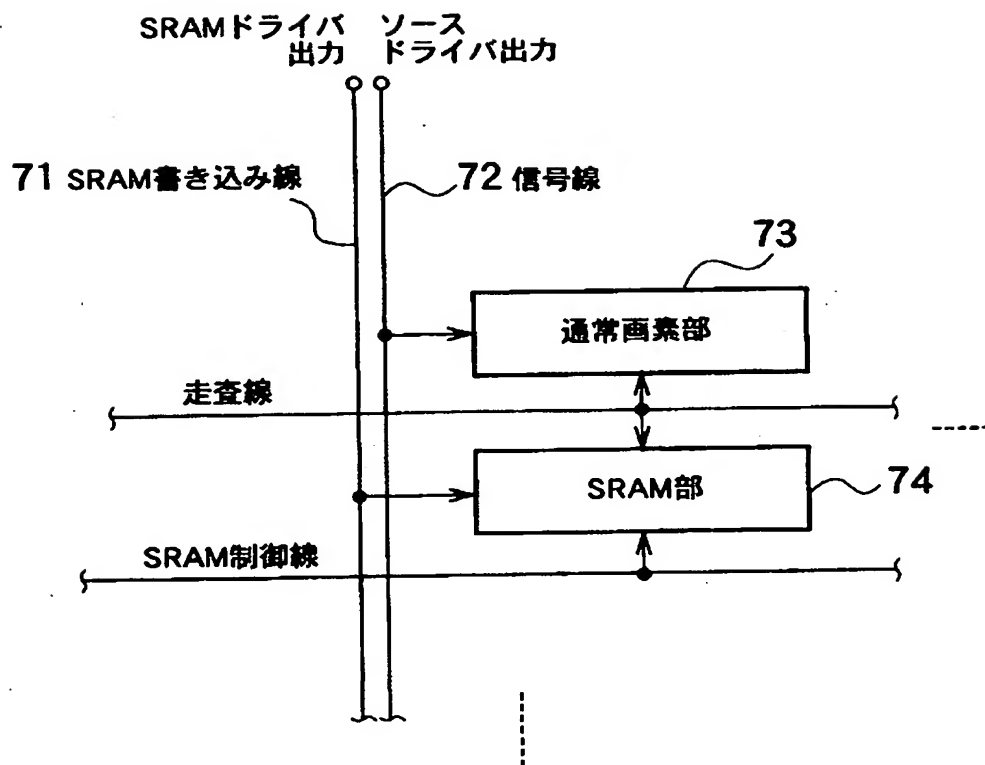
【図 5】



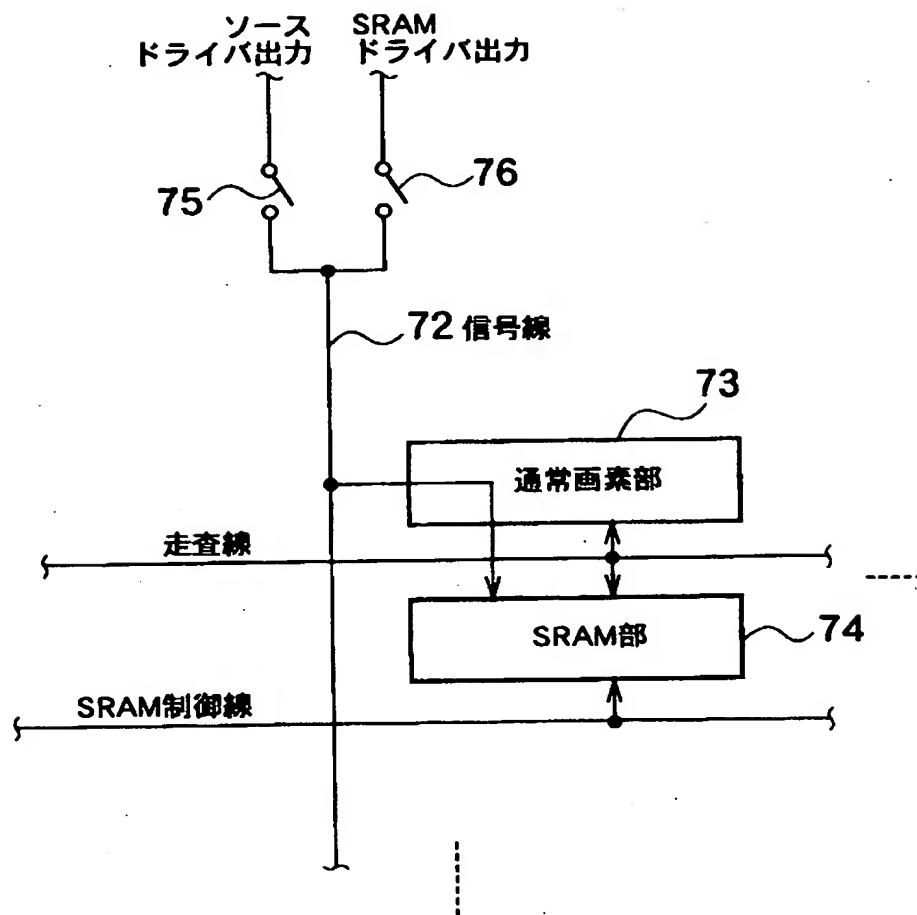
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 S R A Mを内蔵する表示装置において、製造コストの低減や歩留まりの向上を図ると共に、高精細化と狭額縁化を実現する。

【解決手段】 通常画素部 2 0 0 に多階調の表示データを供給するソースドライバ 1 8 から、前記多階調の表示データに含まれる白又は黒に相当する二値データを出力して S R A M部 1 0 0 に記憶し、この S R A M部 1 0 0 に記憶した二値データを通常画素部 2 0 0 に供給して静止画表示を行うようにすることで、S R A M部 2 0 0 に二値データを供給する専用のドライバや S R A M書き込み線を省略できるようにした。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝